

正本

經濟部智慧財產局專利核駁審定書

受文者：伊芬奧恩科技股份有限公司（代理人：蔡清福先生）

地址：台北市忠孝東路一段一七六號九樓

發文日期：中華民國九十一年十月七日

發文字號：（九一）智專二（一）04075字

第〇九一八三〇一七七七四號

專利分類IPC(7)：... H01L 27/108

一、申請案號數：〇九〇一一五八三三

二、發明名稱：具隔離頸圈之溝槽電容器及其製造方法

三、申請人：

名稱：伊芬奧恩科技股份有限公司

地址：德國

四、專利代理人：

姓名：蔡清福先生

地址：台北市忠孝東路一段一七六號九樓

五、申請日期：九十年六月二十八日

六、優先權項目：

1 2000/07/07 德國100 34 003.2



七、審查人員姓名：潘敏政 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條之一。

理由：

(一) 本案「具隔離頸圈之溝槽電容器及其製造方法」之目的在於提供一種改良的溝槽電容器，其具有一隔離頸圈，可在不增加漏電流條件下，增加每單位面積的電荷密度，可增進積體電路的密度。主要特徵為一介電層頸圈藉以隔離溝槽電容器之上部分，可減少漏電流，其中介電層係以原子層沈積法或原子層化學氣相沈積法或化學氣相沈積法完成。

(二) 查國內專利公告號第四四八五六四號「具有隔離環管之溝槽電容器及其製造方法」（如引證附件），已揭示於溝渠電容器的上部分形成一隔離環管，以抑制漏電流，本案與引證附件比較，係使用相同之技術手段，應不具新穎性。

(三) 綜上所述，本案已有相同之發明申請在先並經核准專利之前案，不具新穎性，應不予專利。

據上論結，本案不符法定專利要件，爰依專利法第二十條之一，審定如主文。

局長
蔡練生

依照分層負責規定授權單位主管決行

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。

第 90115833 號
初審(新類)引証附件
再審
[11]公告編號: 448564
[44]中華民國 90年(2001) 08月01日
發明

中華民國專利公報 [19] [12]

全 19 頁

[51] Int.Cl 06: H01L27/108

[54]名 稱: 具有隔離環管之溝渠電容器及其製造方法

[21]申請案號: 086109045

[22]申請日期: 中華民國 88年(1999) 06月01日

[30]優先權: [31]09/097,783

[32]1998/06/15

[33]美國

[72]發明人:

馬汀斯確瑞西

德國

[71]申請人:

西門斯股份有限公司

德國

[74]代理人: 何金塗 先生

李明宜 先生

1

2

[57]申請專利範圍:

1.一種溝渠電容器，特別是使用於半導體記憶胞(100)，其具有一隔離環管(168)，包含有：

一形成於基板(101)中的溝渠(108)；

該形成於溝渠(108)上端中的隔離環管(168)；

一環繞溝渠(108)下半部之基板區域中之作為第一電容器電極板的埋入板(165)；

一設置在溝渠(108)下半部及該隔離環管(168)之作為電容器介電質的介電層(164)；以及

一填充該溝渠(108)之作為第二電容器電極板的導電性第二填充材料(161)；其中在該溝渠(108)下半部上端的直徑係至少等於該溝渠(108)之該上半部的該直徑。

2.如申請專利範圍第1項之之溝渠電容器，其中由用於形成連接至該基板(101)之埋入接觸之第三導電填充材料

所製成的帶(162)係形成於位在該導電第二填充材料(161)上的該隔離環管(161)上方。

3.如申請專利範圍第1項之溝渠電容器，其中該溝渠(108)為瓶狀，且該導電第二填充材料(161)的孔洞係形成於其加寬區。

4.如申請專利範圍第2項之溝渠電容器，其中該溝渠(108)為瓶狀，且該導電第二填充材料(161)的孔洞係形成於其加寬區。

5.如申請專利範圍第1項之溝渠電容器，其中位在該隔離環管(168)上之該導電第二填充材料(161)將形成提供連接至該基板(101)的埋入接觸的帶(162)。

6.如申請專利範圍第3項之溝渠電容器，其中位在該隔離環管(168)上之該導電第二填充材料(161)將形成提供連接至該基板(101)的埋入接觸的帶(162)。

7.如申請專利範圍第4項之溝渠電容器，

(2)

3

- 其中位在該隔離環管(168)上之該導電第二填充材料(161)將形成提供連接至該基板(101)之埋入接觸的帶(162)。
- 8.如申請專利範圍第1至7項中任一項之溝渠電容器，其中一摻質層(125)係形成於在該埋入接觸區域中的該基板(101)中。
 - 9.如申請專利範圍第1至7項中任一項之溝渠電容器，其中一中間層係形成於該埋入接觸的界面(201)。
 - 10.如申請專利範圍第1至7項中任一項之溝渠電容器，其中該隔離環管(168)係以CVD氧化物和/或熱氧化物形成。
 - 11.一種用於形成溝渠電容器的方法，特別是使用於半導體記憶胞(100)，其具有一隔離環管(168)，包含的步驟有：
 - 形成一溝渠(108)於基板(101)中；
 - 以第一種填充材料(152)填充該溝渠(108)的下半部；
 - 形成該隔離環管(168)於該溝渠(108)上半部中；
 - 由該溝渠(108)的下半部移除該第一種填充材料(152)；
 - 形成一埋入板(165)於環繞該溝渠(108)下半部之該形成一襯墊在該溝渠(108)下半部及該隔離環管(168)內側之作為電容器介電質的介電層(164)；以及
 - 以一導電性第二填充材料(161)填充該溝渠(108)，
 - 以作為第二電容器電極板。
 - 12.如申請專利範圍第11項之方法，其中該埋入板(165)的形成係自行對齊於該隔離環管。
 - 13.如申請專利範圍第11項之方法，其中藉由該第一種填充材料(151)的外擴散而形成該埋入板(165)。
 - 14.如申請專利範圍第12項之方法，其中藉由該第一種填充材料(151)的外擴散而形成該埋入板(165)。

4

- 15.如申請專利範圍第11項之方法，包含的步驟有形成帶(162)於該隔離環管(168)上，其中該隔離環管係位於用於形成連接至該基板(101)之埋入接觸之導電第三填充材料的該導電第二填充材料(161)。
- 16.如申請專利範圍第12項之方法，包含的步驟有形成帶(162)於該隔離環管(168)上，其中該隔離環管係位於用於形成連接至該基板(101)之埋入接觸之導電第三填充材料的該導電第二填充材料(161)。
- 17.如申請專利範圍第13項之方法，包含的步驟有形成帶(162)於該隔離環管(168)上，其中該隔離環管係位於用於形成連接至該基板(101)之埋入接觸之導電第三填充材料的該導電第二填充材料(161)。
- 18.如申請專利範圍第14項之方法，包含的步驟有形成帶(162)於該隔離環管(168)上，其中該隔離環管係位於用於形成連接至該基板(101)之埋入接觸之導電第三填充材料的該導電第二填充材料(161)。
- 19.如申請專利範圍第11至18項中任一項之方法，包含的步驟有形成一蝕刻阻絕層(151;176;177)於位在該第一填充材料(152)下的該溝渠壁上。
- 20.如申請專利範圍第19項之方法，其中藉由該蝕刻阻絕層(177)的外擴散而形成該埋入板(165)。
- 21.如申請專利範圍第20項之方法，其中藉由該蝕刻阻絕層(177)的外擴散而形成該埋入板(165)，其同時使該環管(168)緻密化。
- 22.如申請專利範圍第20項之方法，其中藉由該蝕刻阻絕層(177)的外擴散而形成該埋入板(165)，其同時形成該環管(168)且使其緻密化。
- 23.如申請專利範圍第11項之方法，包含

(3)

5

的步驟有形成一第一蝕刻阻絕層(181)於該溝渠壁上，一第一犧牲層(182)於該第一蝕刻阻絕層(181)上，一第二蝕刻阻絕層(183)於該第一犧牲層(182)上以及一第二犧牲層(184)於該第二蝕刻阻絕層(183)上。

24.如申請專利範圍第11項之方法，包含的步驟有以第四種填充材料(210)填充以該隔離環管(168)及該介電層(164)襯墊之該溝渠(168)，該第四種填充材料對於該基種填充材料(210)填充以該隔離環管(168)及該介電層(164)襯墊之該溝渠(168)，該第四種填充材料對於該基板(101)、該隔離環管(168)及該介電層(164)有移除選擇性；挖掘該第四種填充材料(210)、該隔離環管(168)及該介電層(164)，以形成連接至基板之埋入接觸的界面(202)；移除該第四種填充材料(210)；以及以該導電第二填充材料填充該溝渠(108)；

25.如申請專利範圍第11至18項中任一項之方法，包含的步驟有相較於該溝渠(108)的該上半部，擴大該溝渠(108)的下半部，以形成瓶狀。

26.如申請專利範圍第11至18項中任一項之方法，包含的步驟有以由該帶(162)向外擴散的方式，將摻質材料擴散進入該埋入接觸區域中的基板(101)。

27.一種記憶體元件，特別是DRAM記憶胞，其特徵為具有如申請專利範圍第1至7項中任一項的溝渠電容器以及連接至其的選取電晶體。

圖式簡單說明：

6

第一圖係為以二階段蝕刻法所製造之具有溝渠電容器的傳統DRAM單元；

第二圖a-第二圖c係為製造傳統DRAM單元的製程步驟；

5. 第三圖係為根據本發明之DRAM單元實施例；

第四圖a-第四圖g係說明用於製造第三圖之DRAM單元的本發明方法的第一實施例；

10. 第五圖說明另一個與本發明之第二實施例有關之根據本發明的DRAM單元的實施例；

15. 第六圖a-第六圖c說明用於製造第三圖之DRAM單元的本發明方法的第三實施例；

第七圖a-第七圖c說明用於製造第三圖之DRAM單元的本發明方法的第四實施例；

20. 第八圖a-第八圖e說明用於製造第三圖之DRAM單元的本發明方法的第五實施例；

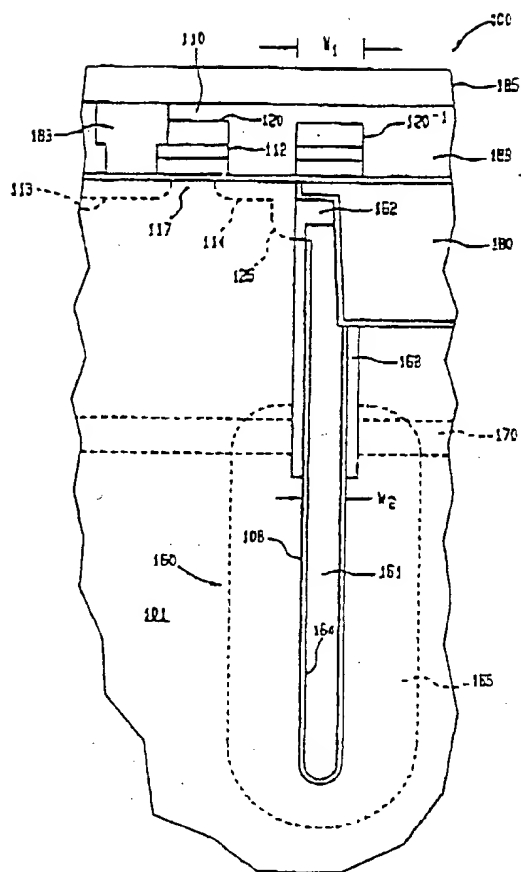
第九圖a-第九圖f說明製造第三圖之DRAM單元的本發明方法的第六實施例；

25. 第十圖說明另一個與本發明之第七實施例有關之根據本發明的DRAM單元的實施例；

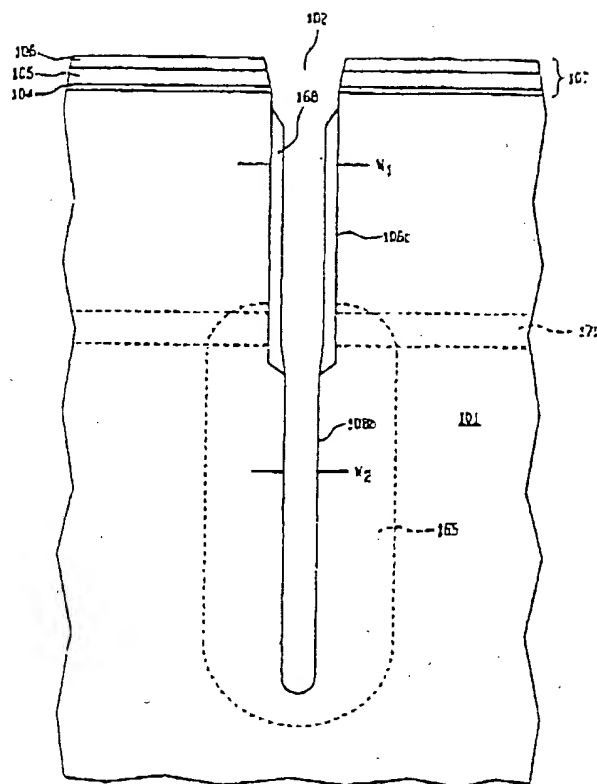
30. 第十一圖a-第十一圖d說明製造第十圖之DRAM單元的本發明的第七實施例；

第十二圖說明另一個與本發明的第八實施例有關之根據本發明的DRAM單元的實施例。

(4)

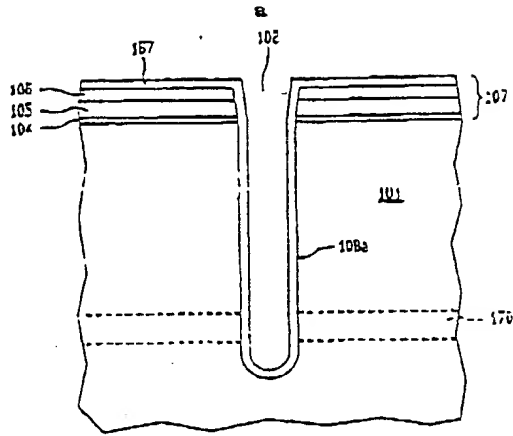


第一圖

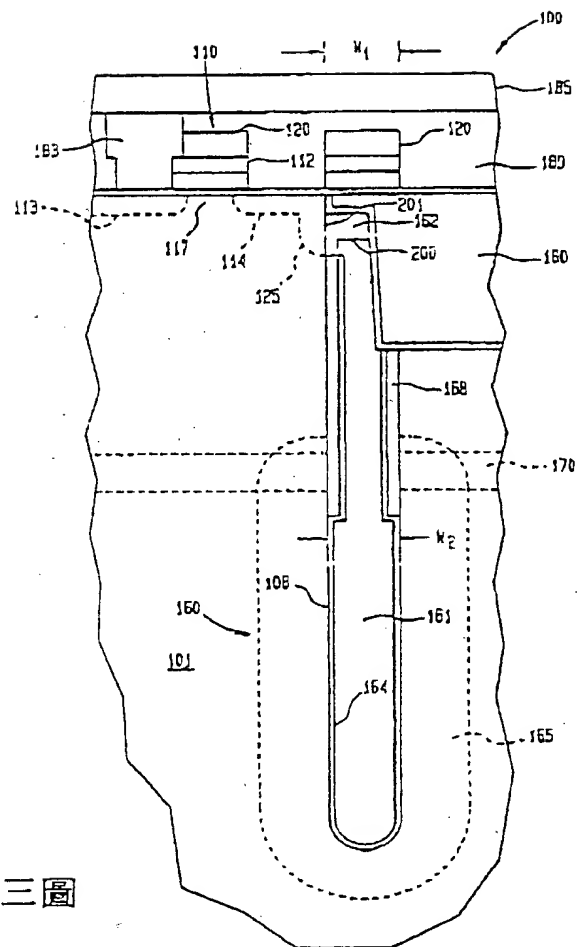
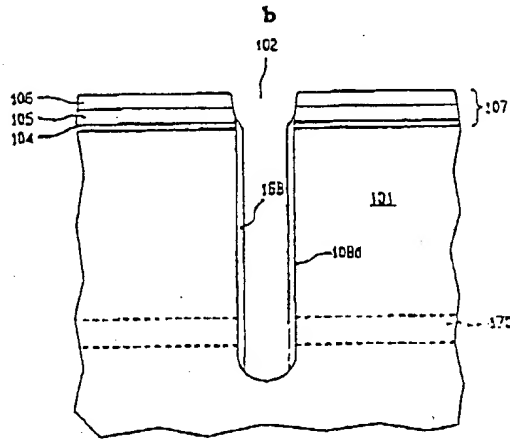


第二圖 c

(5)

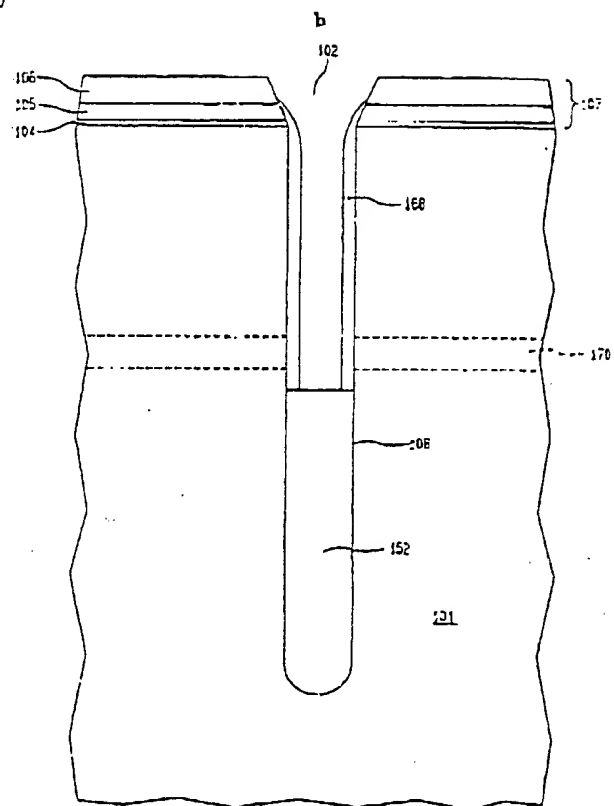
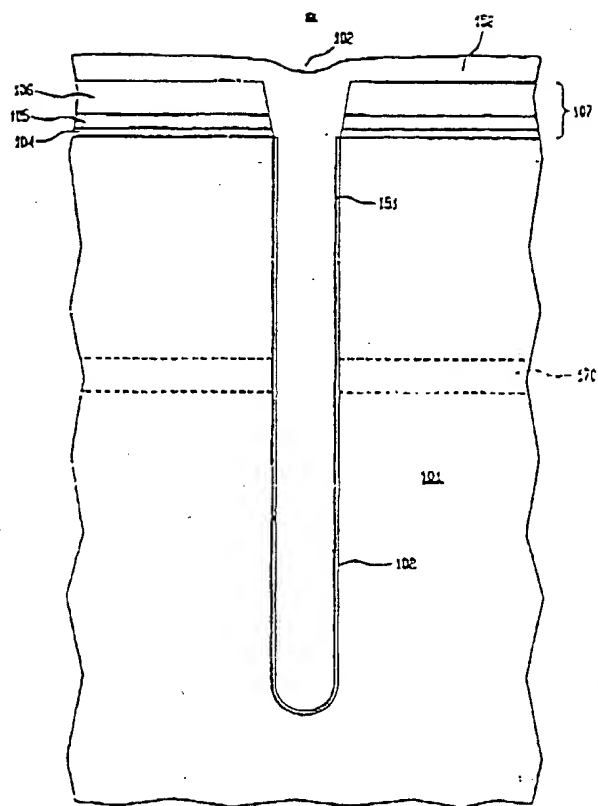


第二圖



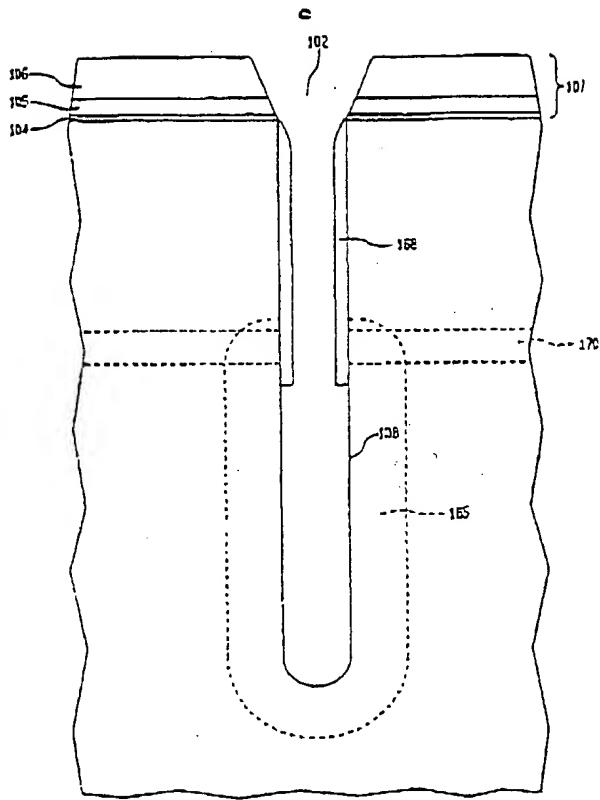
第三圖

(6)

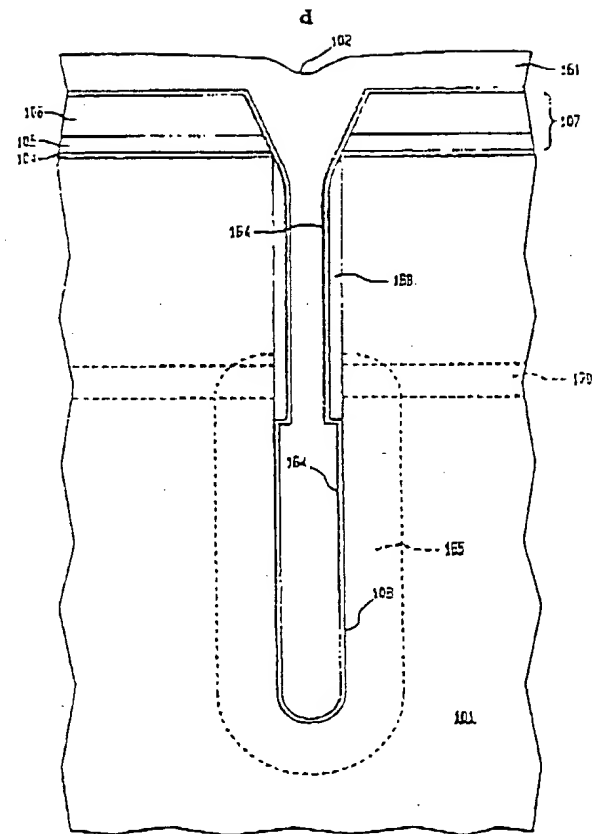


第四圖

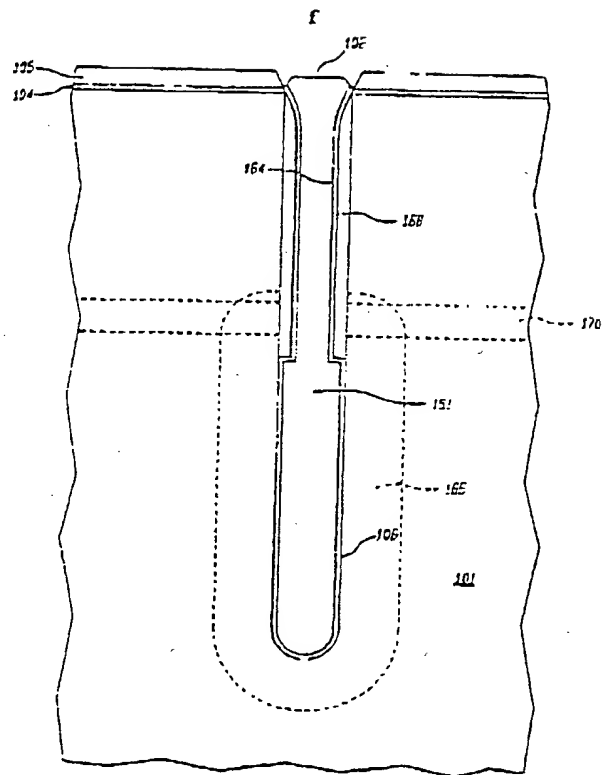
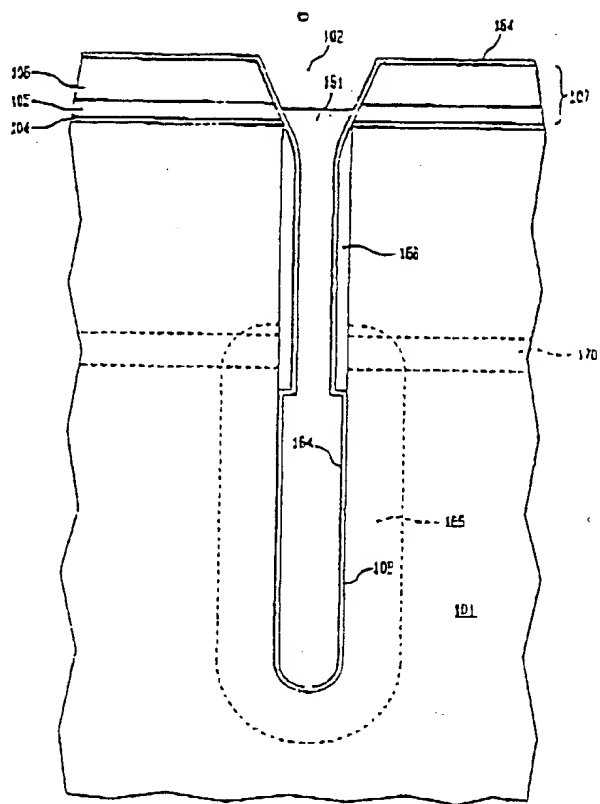
(7)



第四圖

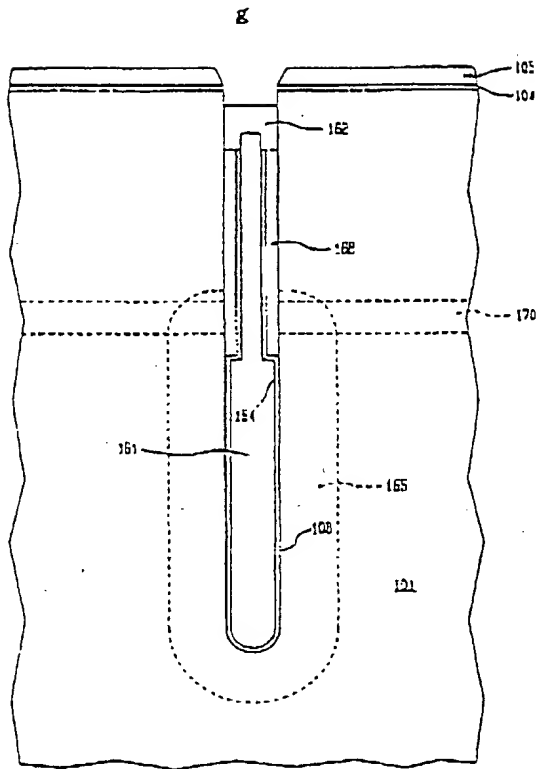


(8)

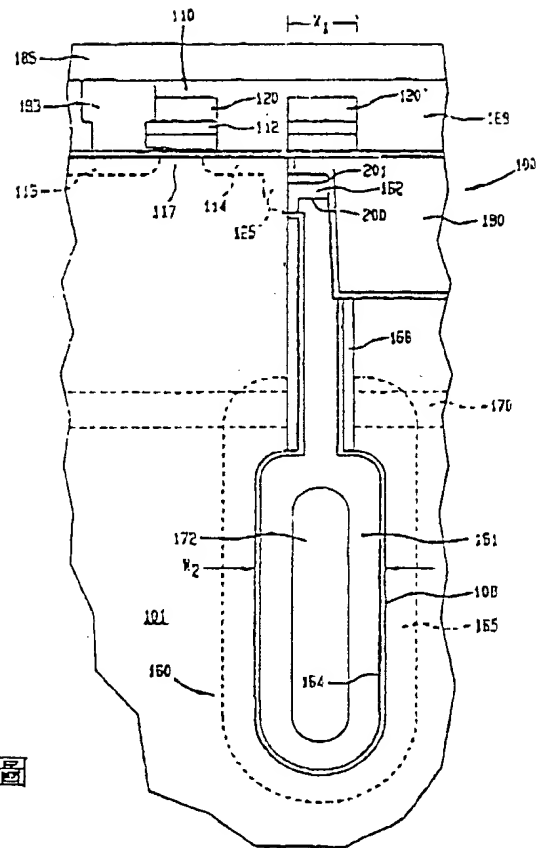


第四圖

(9)

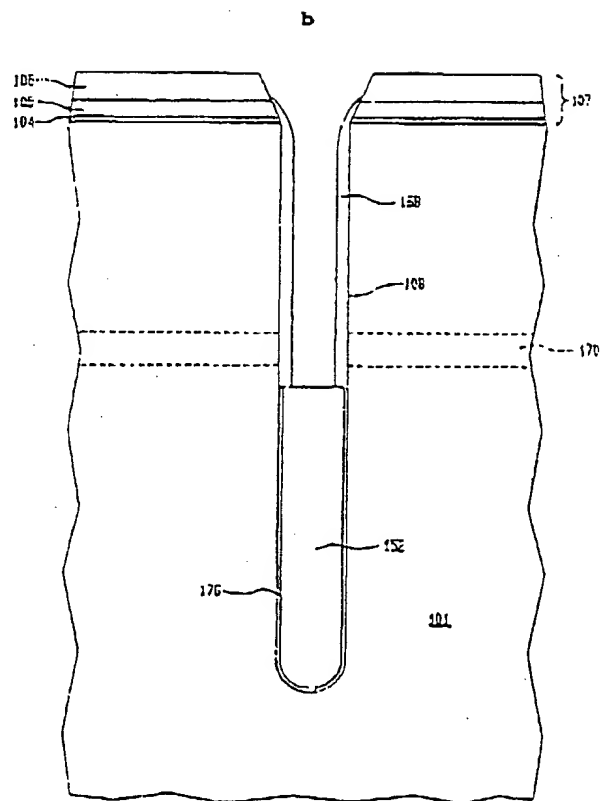
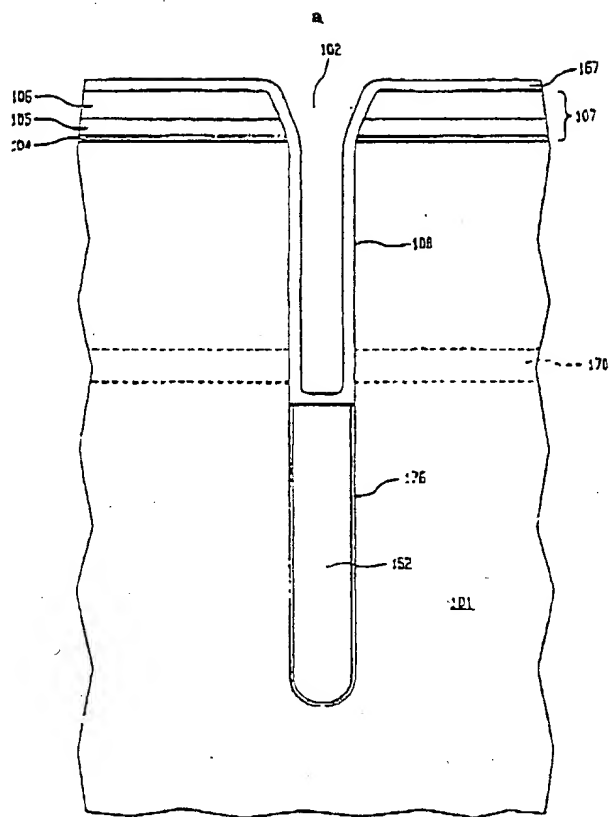


第四圖



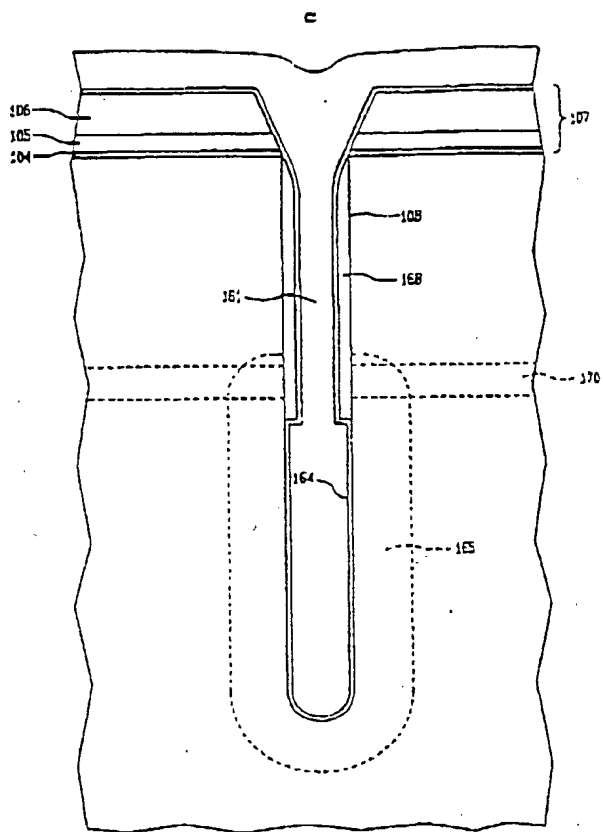
第五圖

(10)

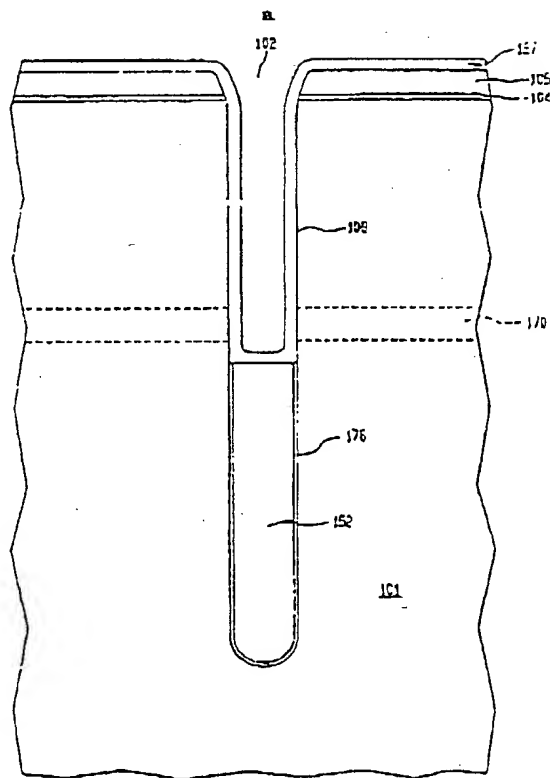


第六圖

(11)

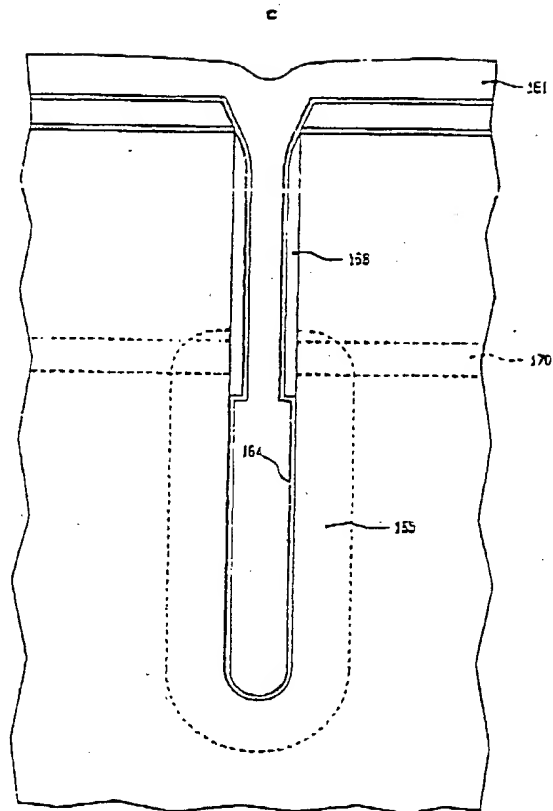
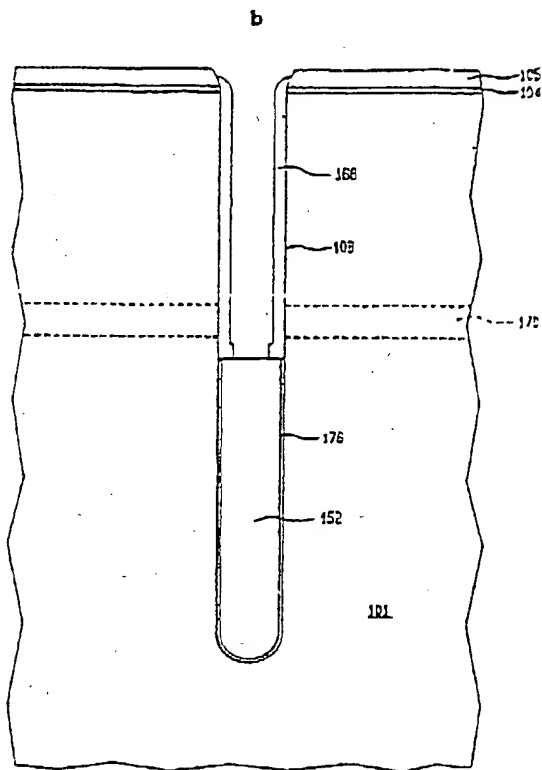


第六圖



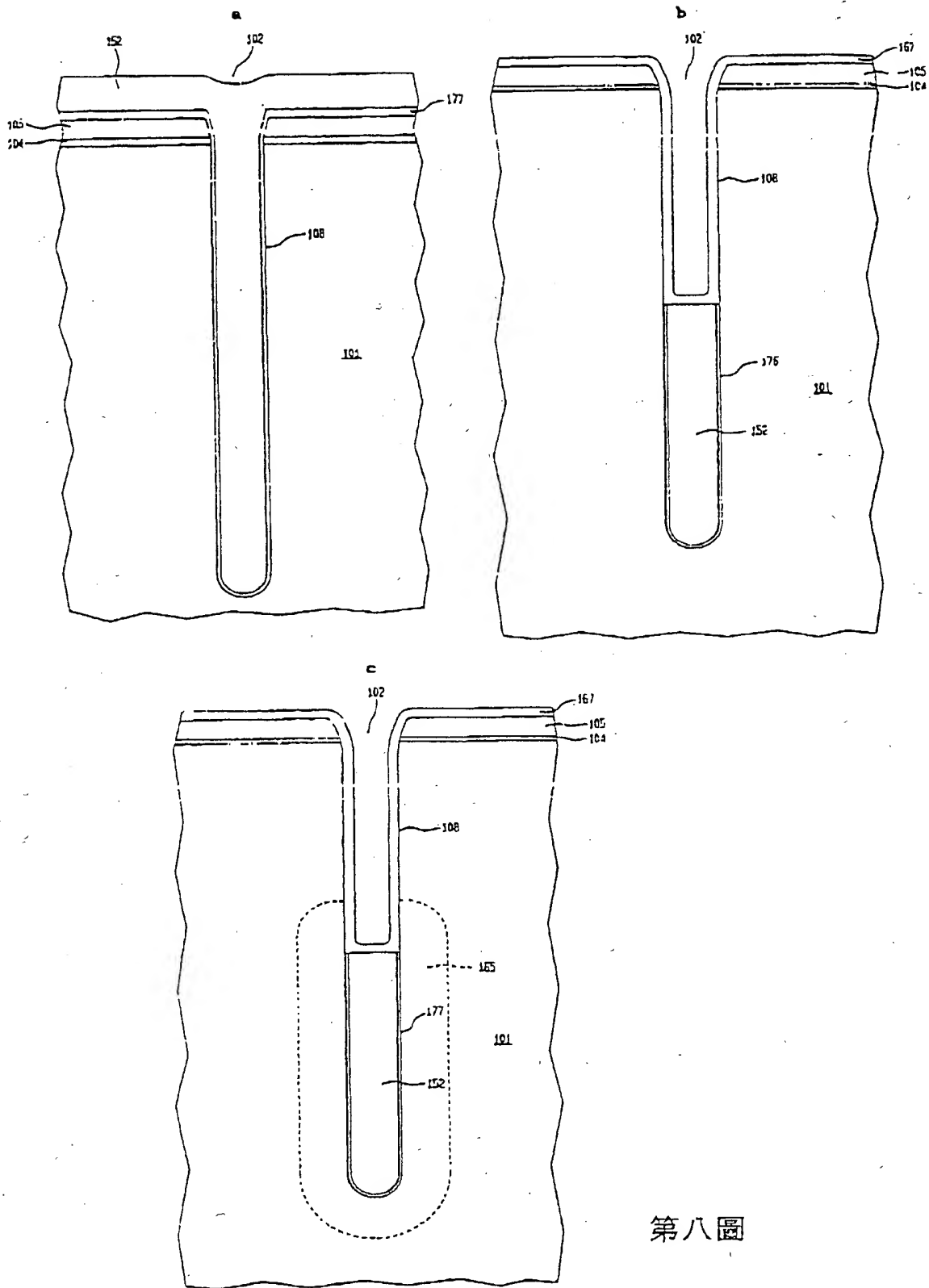
第七圖

(12)



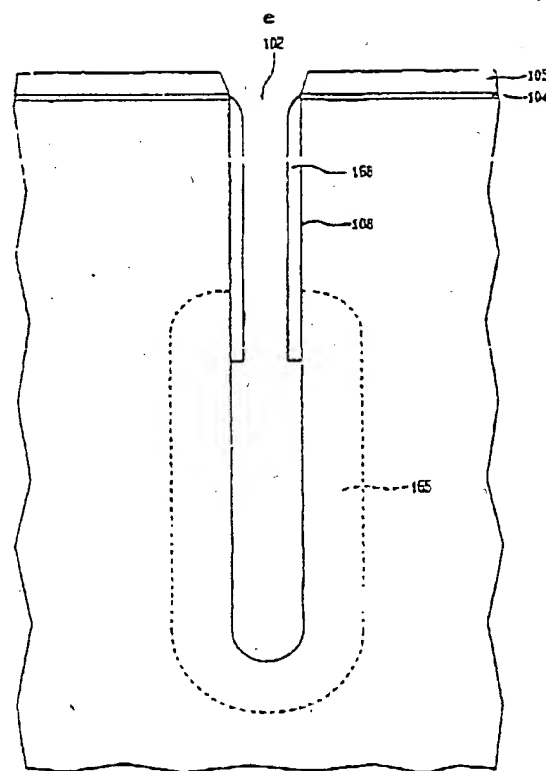
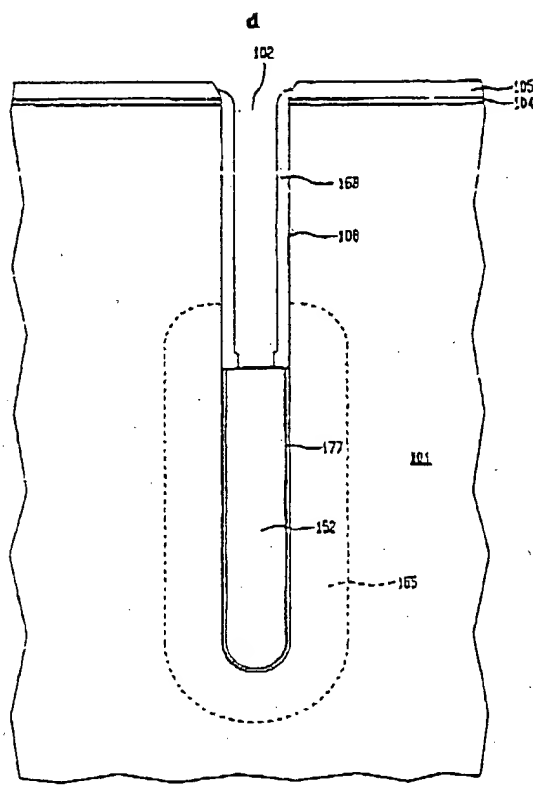
第七圖

(13)



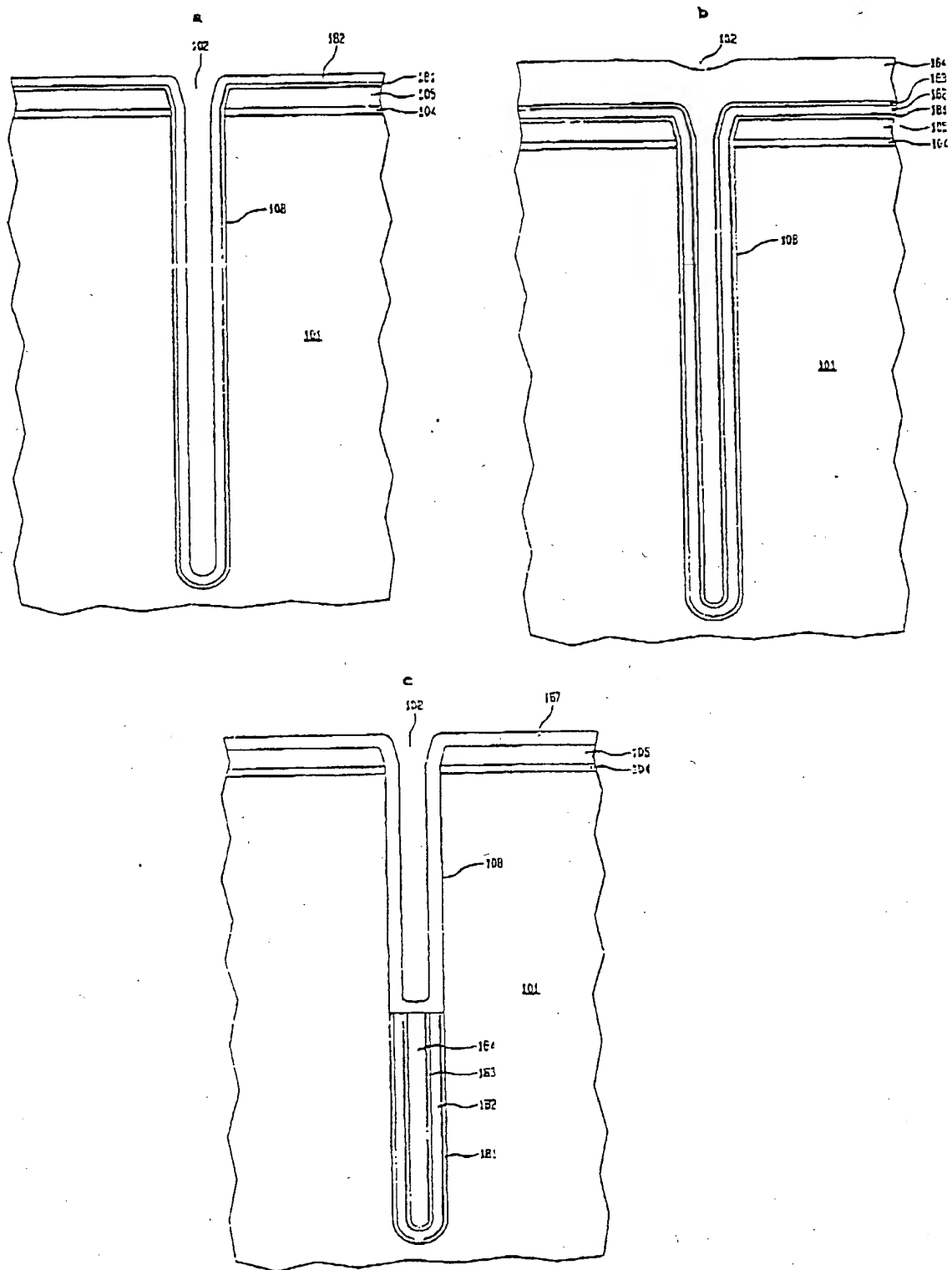
第八圖

(14)



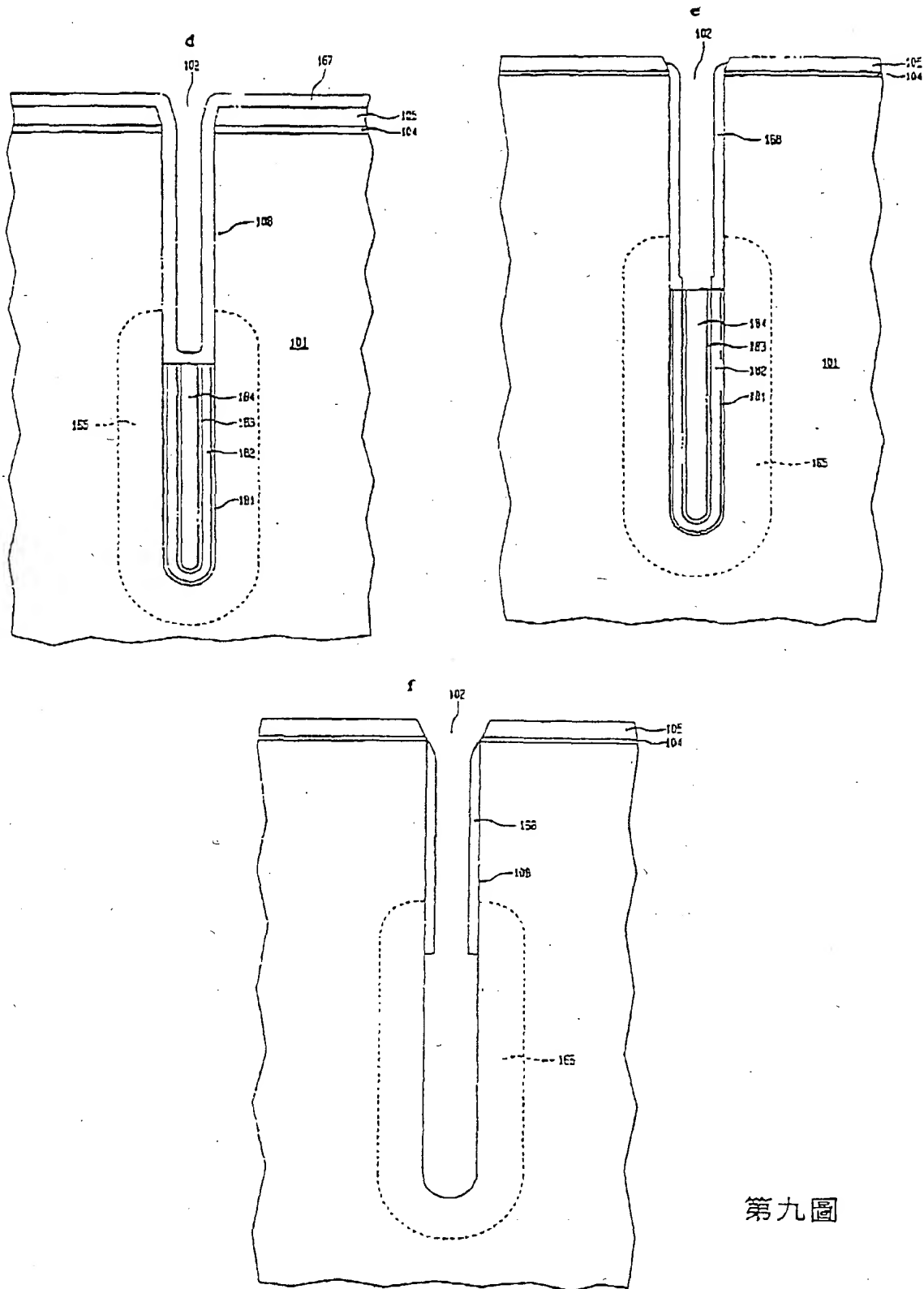
第八圖

(15)



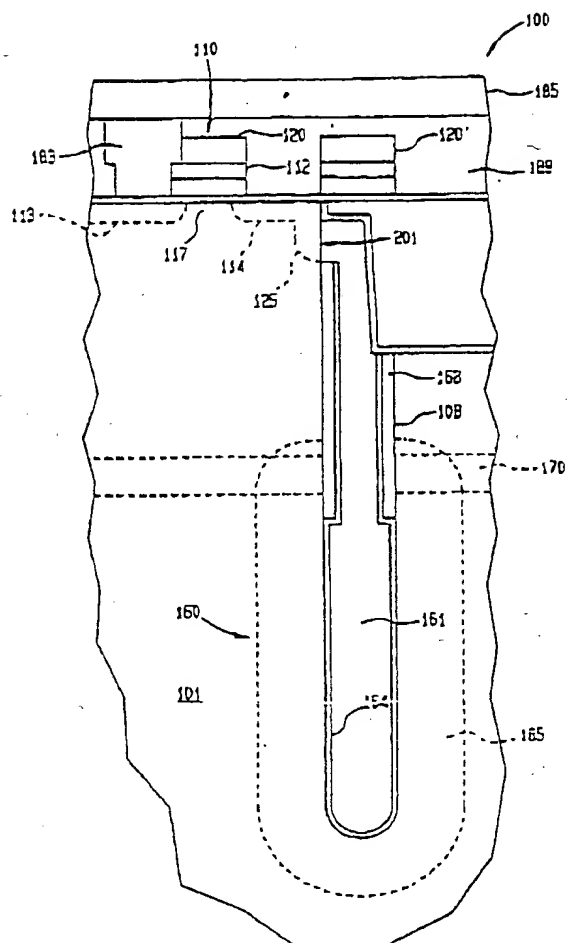
第九圖

(16)

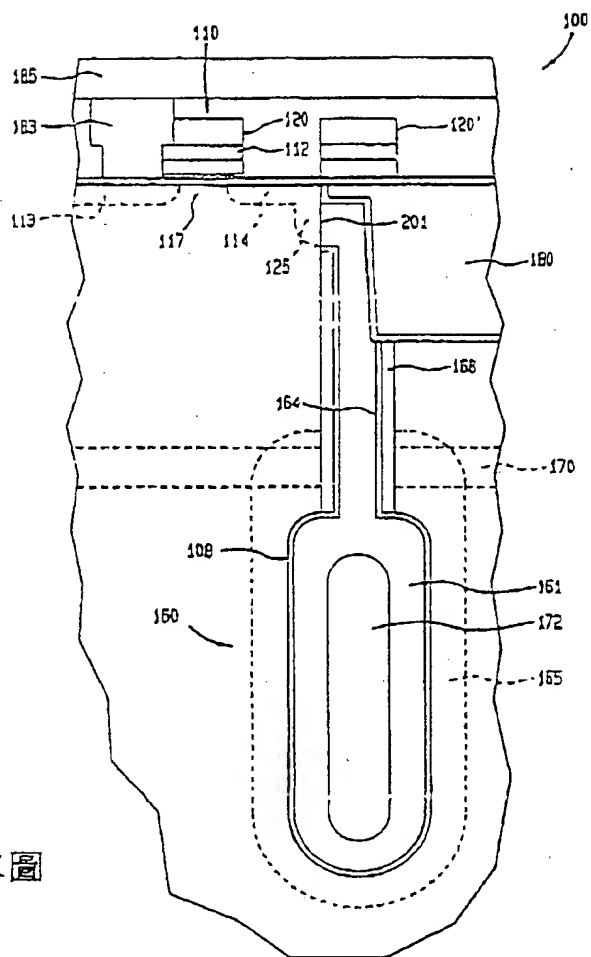


第九圖

(17)

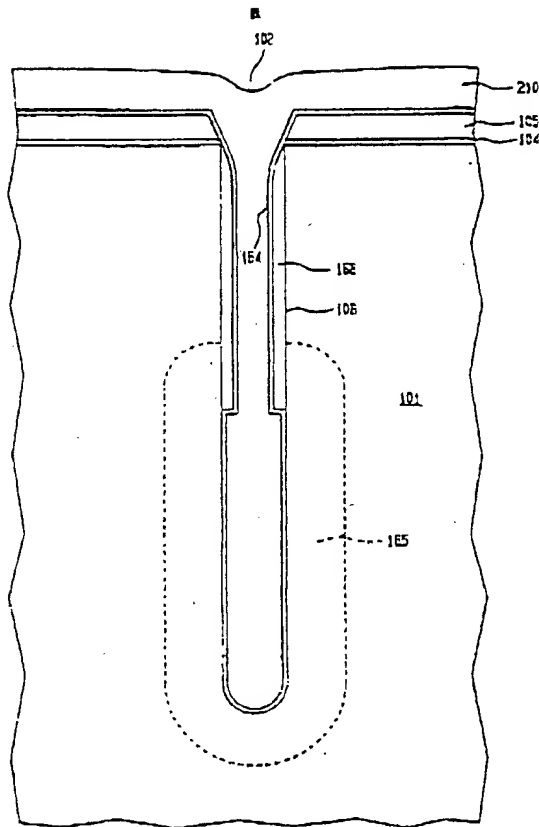


第十圖

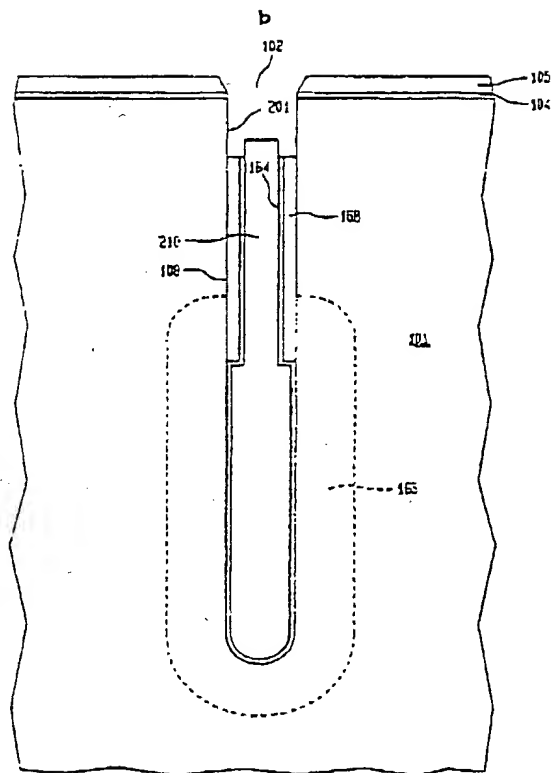


第十二圖

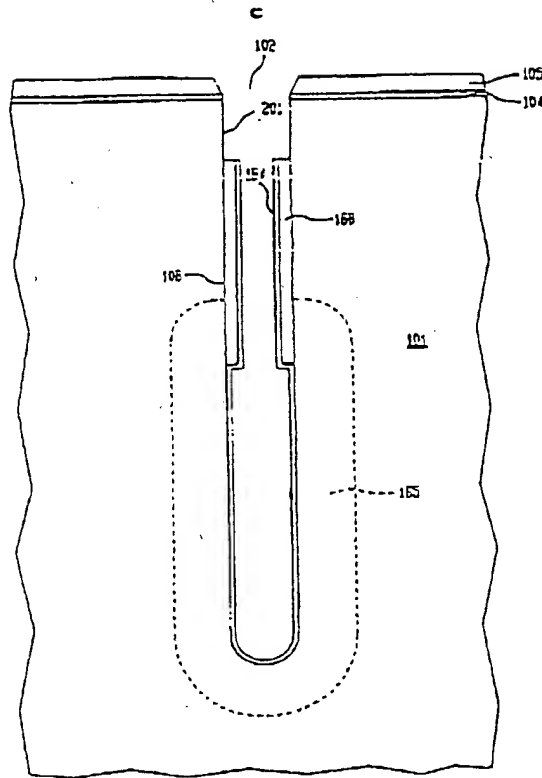
(18)



第十一圖



(19)



第十一圖

